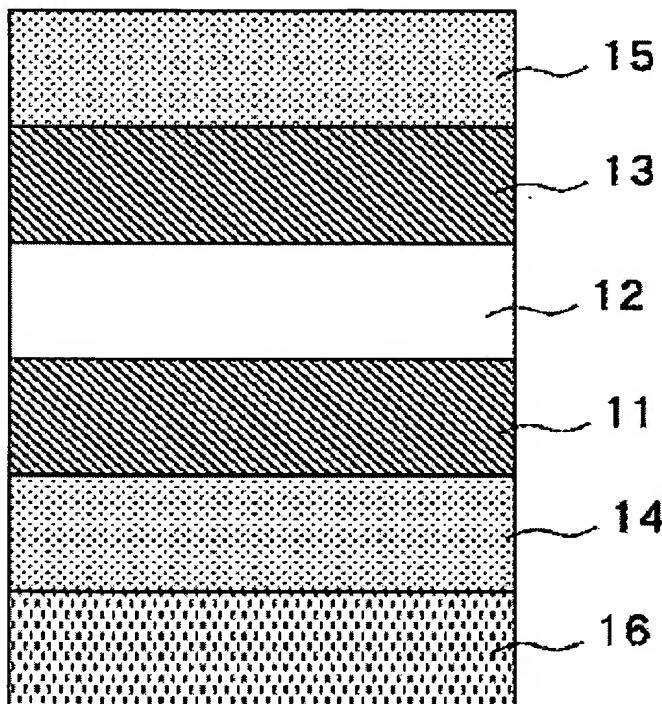


MAGNETORESISTIVE ELEMENT

Patent number: JP2001119082
Publication date: 2001-04-27
Inventor: IKEDA TAKASHI
Applicant: CANON KK
Classification:
- **international:** H01L43/08; G11B5/39; H01F10/06
- **European:**
Application number: JP19990298600 19991020
Priority number(s): JP19990298600 19991020

Abstract not available for JP2001119082



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-119082

(P2001-119082A)

(43)公開日 平成13年4月27日 (2001.4.27)

(51)Int.Cl.
H 01 L 43/08
G 11 B 5/39
H 01 F 10/06
10/32

識別記号

F I
H 01 L 43/08
G 11 B 5/39
H 01 F 10/06
10/32

テマコト[®] (参考)
D 5 D 0 3 4
5 E 0 4 9

審査請求 未請求 請求項の数2 OL (全6頁)

(21)出願番号 特願平11-298600

(22)出願日 平成11年10月20日 (1999.10.20)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 池田 貴司

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100088328

弁理士 金田暢之 (外2名)

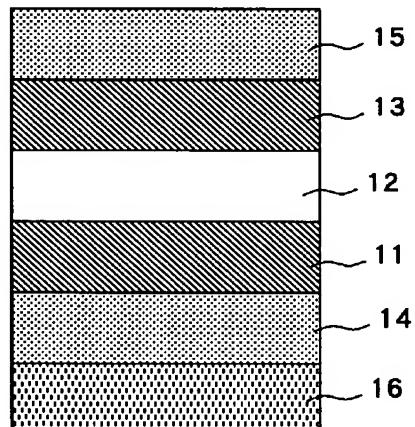
Fターム(参考) 5D034 BA04 BA16 BA21
5E049 AA04 AA07 AA09 AA10 AC05
BA12 BA16

(54)【発明の名称】 磁気抵抗素子

(57)【要約】

【課題】 下部電極あるいは下部配線等のラフネスが非常に小さいので磁性層の静磁結合力が小さく、所望の磁界範囲内で良好な出力信号を得ることが可能な磁気抵抗素子を提供する。

【解決手段】 基板16上に、Cuの組成が20at.%以上90at.%以下のAlCu合金の電気伝導体(下部電極14や下部配線等)を有し、その上に少なくとも第1の強磁性層11、非磁性層12及び第2の強磁性層13が順次形成された多層膜を有する磁気抵抗素子。AlCu合金のCuの組成は40at.%以上60at.%以下がより好ましい。



【特許請求の範囲】

【請求項1】 基板上に、Cuの組成が20at.%以上90at.%以下であるAlCu合金の電気伝導体を有し、その上に少なくとも第1の強磁性層、非磁性層及び第2の強磁性層が順次形成された多層膜を有する磁気抵抗素子。

【請求項2】 前記合金のCuの組成が40at.%以上60at.%以下である請求項1記載の磁気抵抗素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、下部電極や下部配線等の電気伝導体として表面のラフネスが小さいAlCu合金を用いることにより、磁気抵抗効果膜の磁化の反平行状態が容易に実現され、良好な出力信号を得ることが可能な磁気抵抗素子に関する。

【0002】

【従来の技術】 図15に示すように、磁気抵抗効果膜10は、基本的に二つの強磁性層（第1の強磁性層11、第2の強磁性層13）の間に非磁性層12を有するサンドイッチ構造の多層膜からなる。この二つの強磁性層11、13の保磁力は異なる。したがって、外部から適当な大きさの磁界を印加することによって、二つの強磁性層11、13の磁化方向は平行あるいは反平行となる。そして、この磁化状態により素子の抵抗は変化し、磁化方向が平行であるときは素子の抵抗値は小さく、反平行であるときは素子の抵抗値は大きくなる。つまり、素子に一定電流を流し、磁化を平行な状態から反平行な状態にすると素子の電圧は大きくなり、逆に反平行から平行にすると電圧は小さくなる。

【0003】 磁気抵抗効果膜10としては、従来より種々の膜構成が提案されているが、上述の中間層（非磁性層12）が絶縁体であり、電子がその中間層をトンネリングする場合は、その磁気抵抗効果膜をスピントンネル膜という。スピントンネル膜に一般に用いられる絶縁体は、アルミナである。スピントンネル膜の膜厚は、エネルギー障壁幅の関係から1nm～3nm程度の膜厚が好ましいことが、これまでの多くの研究で報告されている。一方、中間層（非磁性層12）が導体である場合は、その磁気抵抗効果膜をスピントンネル膜という。スピントンネル膜では、電流を膜面に対して平行でも垂直でもどちらに流しても構わない。

【0004】 磁気抵抗効果膜10はメモリ素子として用いることが可能である。この場合、磁界の印加は、例えば、図16に示すように直交する上部導線21と下部導線22を配し、各配線21、22に電流Is、Iwを流し磁界を発生させることにより行なう。磁気抵抗効果膜10の磁化反転は、上下両導線21、22に同時に電流が流れたときのみ生じるので、平面に複数形成された磁気抵抗効果膜10のうち、一つの素子の磁化方向を選択

的に変化させることが可能である。上下両導線21、22に電流Is、Iwを流すと、それぞれの電流Is、Iwによって発生した磁界が磁気抵抗効果膜10の膜面に平行に印加されるが、上部導線21から発生する磁界と下部導線22から発生する磁界は、互いに90°異なる方向で作用する。

【0005】 さらに、磁気抵抗効果膜10の下部磁性層（図15では第1の強磁性層11）を電極あるいは配線として用いない場合は、下部磁性層の下に電極あるいは配線を設ける必要がある。

【0006】

【発明が解決しようとする課題】 スピントンネル膜の場合、磁気抵抗効果膜10は、中間層（非磁性層12）と磁性層（第1の強磁性層11、第2の強磁性層13）の界面や磁性層内部で生じ、中間層内部では生じない。したがって、中間層の膜厚が薄い程、抵抗効率が大きくなる。しかし、中間層の膜厚が薄くなるに従い、二つの磁性層間に働く静磁結合力が大きくなり、磁化が反平行にならなくなってしまう。この原因の一つとして、オレンジピール効果が挙げられる。つまり、磁性層と非磁性層との界面が湾曲していると、磁化の反平行状態は実現困難となるのである。これは中間層の膜厚が1nm～3nmと薄いスピントンネル膜においても同様である。

【0007】 このような点から、磁気抵抗効果膜10は、かつ所望の磁界範囲内で磁化の反平行状態を得るには、磁性層と中間層の界面が平坦であることが望まれる。したがって、表面のラフネス（表面粗さRa）の小さい基板を使用することが必要である。近年、一般的に使用されているシリコンウェハーやガラス基板はかなり平坦で、ラフネスは1nmよりも小さい。特にシリコンウェハーでは、0.1nm程度のラフネスが実現されている。

【0008】 磁気抵抗効果膜を用いたメモリ素子では、基板から中間層の間には、少なくとも磁界を印加するための導線、絶縁層そして磁性層が形成される。さらに、磁性層を電極あるいは配線として用いない場合には、基板と下部磁性層との間にさらに金属層が形成される。一般に、導線や電極には電気抵抗率の小さいAlが用いられ、磁性層にはNi、Fe、Coやこれらの合金が用いられる。スパッタ法で成膜すると、その薄膜のラフネスが小さくなることが一般的に知られている。この点から、導線、電極あるいは磁性層を成膜する方法としては、スパッタ法が好ましいとされている。また、スパッタガス圧を高くして成膜すると、その膜は柱状構造となり、これが表面のラフネスを大きくする原因となる。したがって、スパッタガス圧は、放電が不安定とならない範囲内で低くすることが好ましい。

【0009】 本発明者は、上記の各点を考慮して、ガス圧を0.3Pa程度とし、マグネットロンスパッタ法で、

シリコンウェハー やガラス基板上に、A1層、NiFe層を順次積層形成し、そのラフネスを調べた。A1層表面のラフネスは大きく、50nm厚のA1層のラフネスは3.5nm程度であることが分かった。また、A1層上部に形成した25nm厚のNiFe層の表面は、A1層表面のラフネスとほぼ同じ値を示した。また、同様にしてA1層、SiN層(50nm厚)、NiFe層を順次積層形成し、そのラフネスを調べた。この多層膜表面のラフネスも、A1層表面のラフネスと大きな差は無かった。つまり、SiN層やNiFe層は多層膜表面のラフネスを著しく大きくする原因とはならないが、A1膜の表面のラフネスは大きく、磁気抵抗素子の下部電極や下部配線としては好ましくないことが分かったのである。

【0010】本発明は、このような課題を解決する為になされたものであり、磁性層よりも基板側に設けられている電気伝導体(下部電極や下部配線等)の表面のラフネスが非常に小さいので磁性層の静磁結合力が小さく、所望の磁界範囲内で良好な出力信号を得ることが可能な磁気抵抗素子を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明者は、表面のラフネスが小さい電気伝導膜を実現するために鋭意検討した結果、A1とCuの特定組成の合金が非常に適していることを見出し、本発明を完成するに至った。

【0012】すなわち本発明は、基板上に、Cuの組成が20at.%以上90at.%以下であるAlCu合金の電気伝導体を有し、その上に少なくとも第1の強磁性層、非磁性層及び第2の強磁性層が順次形成された多層膜を有する磁気抵抗素子である。

【0013】

【発明の実施の形態】図1は、本発明の磁気抵抗素子の一実施形態として、スピントンネル膜の膜構成を示す断面図である。図中、16は基板、14は下部電極、11は第1の強磁性層、12は非磁性層(中間層)、13は第2の強磁性層、15は上部電極である。下部電極14及び上部電極15は、電気抵抗率が小さいことが必要であり、従来技術ではA1が多く用いられている。ところが、先に説明した様にA1層表面のラフネスが大きいので、磁化の反平行状態を実現することが従来技術では困難である。ラフネスと二つの磁性層11、13の磁気的結合の関係は、ネールによって提案されたトポグラフィーモデルによって理解される。このモデルによれば、強磁性層11、13と非磁性層12の界面の凹凸が低いほど強磁性層11、13の静磁的結合力が小さくなるので、磁化の反平行状態は実現し易くなる。したがって、導線や電極には、その表面のラフネスが小さい材料が用いられることが好ましいのである。

【0014】図2は、AlCu合金層のCu組成に対するラフネスの変化を示すグラフである。ここでは、表面

のラフネスが0.16nm程度のシリコンウェハー上に成膜した50nm厚のAlCu合金層の表面のラフネスを測定した。また、このラフネス(表面粗さRa)は、JIS B0601の中心線平均粗さ(Ra)であり、カットオフ値は標準値を採用した。

【0015】図2に示す結果から分かるように、Cu組成が20at.%以上90at.%以下の範囲では、ラフネスは1nm以下の小さい値であり、さらに40at.%以上60at.%以下の範囲では、ラフネスは0.2nm程度の非常に小さな値となっている。

【0016】本発明の重要な技術的意義は、AlCu合金を用いた方が、A1を用いた場合と比較して、表面のラフネスが小さい膜を得ることができ、これが磁気抵抗素子の下部電極や下部配線等に非常に有用であるという点に有る。しかも、ラフネスの具体的な数値は、材料以外の諸条件にも影響されるので、本発明においては、その具体的範囲に特に制限は無い。ただし、磁気抵抗素子の要求性能を考慮すると、一般的にはAlCu合金膜の表面のラフネスは、1.0nm以下が好ましく、0.3nm以下がより好ましい。

【0017】また、図1では、下部電極14にAlCu合金を用いたものを好適な形態として示したが、本発明はこれに限定されない。例えば、下部配線、その他、第1の強磁性層11と基板16の間に位置する各種の電気伝導体に対して、AlCu合金を用いることは可能である。

【0018】第1の強磁性層11及び第2の強磁性層13には、従来より磁気抵抗素子の多層膜中の強磁性層として知られる各種の材料が使用可能である。特に、NiFe、Fe、Co、CoFe等が好適に用いられ、第1の強磁性層11と第2の強磁性層13が異なる磁界で磁化反転するように適宜選定すればよい。例えば、第1の強磁性層11を比較的保磁力の小さなNiFe層とし、第2の強磁性層13を比較的保磁力の大きなCo層とする。

【0019】スピントンネル膜の非磁性層12にも、従来よりスピントンネル膜の中間層として知られる各種の絶縁体が使用可能である。通常はアルミナが用いられる。その作製方法としては、(1) A1層を形成し、これを自然酸化させる方法、(2) A1層を形成し、これをプラズマ等でエネルギーを与え酸化させる方法、(3) A1ターゲットを反応性スパッタリングする方法、(4) アルミナターゲットを用いて直接成膜する方法等が挙げられる。

【0020】また図1では、スピントンネル膜を用いたものを好適な形態として示したが、本発明はこれに限定されない。例えば、非磁性層12として導体を用い、スピントンネル膜を構成してもよい。スピントンネル膜の非磁性層12にも、従来よりスピントンネル膜の中間層として知られる導体が使用可能である。通常はCuが好ましい。

【0021】

【実施例】以下、本発明を、実施例により更に詳細に説明する。

【0022】<実施例1～4>成膜チャンバー内を 1×10^{-3} Pa以下まで真空にした後、DCマグネットロンスパッタ法によってAlターゲットとCuターゲットをコスパッタし、シリコンウエハー上に下部電極14として50nm厚のAlCu合金膜を成膜した。

【0023】その後、第1の強磁性層11として25nm厚のNi₈₀Fe₂₀層、非磁性層12として2nm厚のアルミナ層、第2の強磁性層13として25nm厚のCo層を、真空を破ることなく連続して成膜した。ここで、強磁性層11、13はDCマグネットロンスパッタ法で各ターゲットをコスパッタし、アルミナ層（非磁性層12）はRFマグネットロンスパッタ法でアルミナターゲットをコスパッタして成膜した。各層のスパッタガス圧は、何れも0.3Pa程度とした。

【0024】上記のようにして得られたスピントンネル膜（磁気抵抗効果膜）の表面に、図3に示すように第1のレジスト17を形成した。次に、これをイオンミリング装置によってCo層（第2の強磁性層13）、アルミナ層（非磁性層12）及びNiFe層（第1の強磁性層11）を、図4に示すように部分的に除去した。

【0025】次いで、第1のレジスト17を除去し、さらに第2のレジスト18を図5に示すように形成し、RFマグネットロンスパッタ法によって、絶縁層19としての窒化シリコン膜を成膜した。ここで、図5（a）は断面図、図5（b）は平面図である〔後の図6（a）（b）及び図7（a）（b）についても同様〕。

【0026】その後、第2のレジスト18を除去し、図6に示すように第3のレジスト20を形成した。次いで、DCマグネットロンスパッタ法によって、50nm厚のAl膜を成膜し、第3のレジスト20を除去することで、上部電極15及び電極バットを形成し、図7に示すようなスピントンネル素子とした。

【0027】ここでは、下部電極14であるAlCu合金膜のCu組成が、それぞれ20at.%（実施例1）、40at.%（実施例2）、60at.%（実施例3）、90at.%（実施例4）である4種類のスピントンネル素子を作製した。これら実施例1～4のスピントンネル素子の磁気抵抗曲線の測定結果を、図8～図11に示す。この測定は、探針プローブを各電極バットに接触させ、直流四端子法で行った。

【0028】<比較例1>下部電極14をCu単独で形成したこと以外は、実施例1～4と同様にしてスピントンネル素子を作製した。磁気抵抗曲線の測定結果を、図12に示す。

【0029】<比較例2>下部電極14をAl単独で形成したこと以外は、実施例1～4と同様にしてスピントンネル素子を作製した。磁気抵抗曲線の測定結果を、図13に示す。

13に示す。

【0030】<比較例3>下部電極14であるAlCu合金膜のCu組成を10at.%にしたこと以外は、実施例1～4と同様にしてスピントンネル素子を作製した。磁気抵抗曲線の測定結果を、図14に示す。

【0031】<評価結果>実施例1～4では、Cu組成が20at.%以上90at.%以下のAlCu合金膜を下部電極14に用いているので、図8～図11に示すように磁気抵抗効果膜の磁気抵抗変化率が大きく、かつ抵抗が高くなる磁界範囲が広い。特に、実施例3及び4では、Cu組成が40at.%及び60at.%なので、図9及び図10に示すように、抵抗が高くなる磁界範囲は特に広くなっている。

【0032】比較例1～3では、Cu膜、Al膜、あるいはAl_{1-x}Cu_x膜を下部電極14に用いているので、図12～図14に示すように、各実施例と比較して、磁気抵抗変化率が低く、抵抗が高くなる磁界範囲も狭い。

【0033】

【発明の効果】以上説明したように、本発明によれば、磁性層の静磁結合力が小さく、所望の磁界範囲内で良好な出力信号を得ることが可能な磁気抵抗素子を提供できる。

【図面の簡単な説明】

【図1】本発明の磁気抵抗素子の一実施形態として、スピントンネル膜の膜構成を示す断面図である。

【図2】AlCu合金のCu組成に対するラフネスの変化を示すを示すグラフである。

【図3】第1のレジスト形成後のスピントンネル膜断面図である。

【図4】Co層、アルミナ層及びNiFe層を除去した後のスピントンネル膜断面図である。

【図5】第2のレジスト形成後のスピントンネル膜を示す図であり、（a）は断面図、（b）は平面図である。

【図6】第3のレジスト形成後のスピントンネル膜を示す図であり、（a）は断面図、（b）は平面図である。

【図7】加工後のスピントンネル素子を示す図であり、（a）は断面図、（b）は平面図である。

【図8】Al_{1-x}Cu_x下部電極を用いた実施例1のスピントンネル素子の磁気抵抗曲線を示すグラフである。

【図9】Al_{1-x}Cu_x下部電極を用いた実施例2のスピントンネル素子の磁気抵抗曲線を示すグラフである。

【図10】Al_{1-x}Cu_x下部電極を用いた実施例3のスピントンネル素子の磁気抵抗曲線を示すグラフである。

【図11】Al_{1-x}Cu_x下部電極を用いた実施例4のスピントンネル素子の磁気抵抗曲線を示すグラフである。

【図12】Cu下部電極を用いた参考例1のスピントンネル素子の磁気抵抗曲線を示すグラフである。

【図13】Al下部電極を用いた比較例2のスピントンネル素子の磁気抵抗曲線を示すグラフである。

【図14】Al_{1-x}Cu_x下部電極を用いた比較例1のス

ビントンネル素子の磁気抵抗曲線を示すグラフである。
【図15】磁気抵抗効果膜の基本的膜構成の断面図である。

【図16】磁気抵抗効果膜と導線の配置図である。

【符号の説明】

10 磁気抵抗効果膜

11 第1の強磁性層

12 非磁性層

* 13 第2の強磁性層

14 下部電極

15 上部電極

16 基板

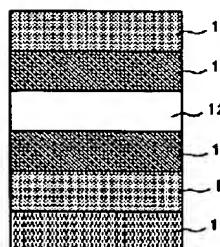
17 第1のレジスト

18 第2のレジスト

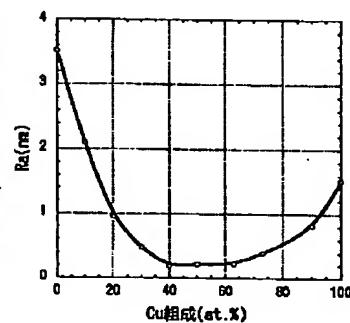
19 絶縁層

* 20 第3のレジスト

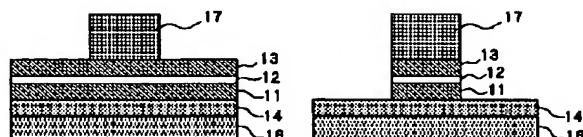
【図1】



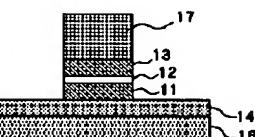
【図2】



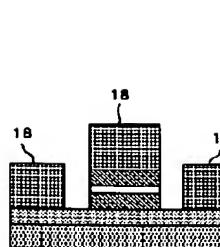
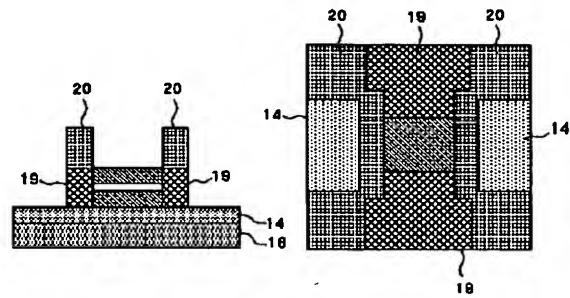
【図3】



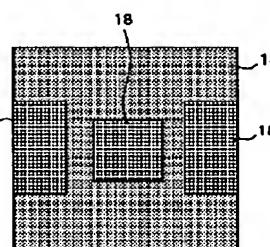
【図4】



【図6】



【図5】



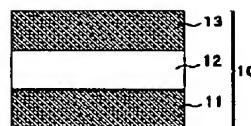
(a)

(b)

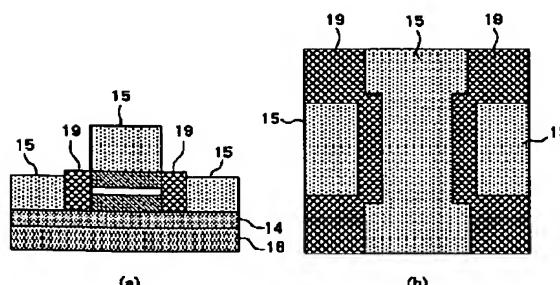
(a)

(b)

【図15】



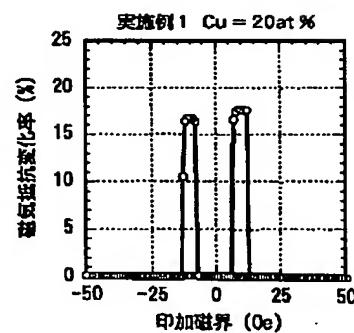
【図7】



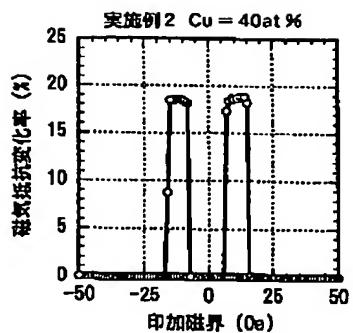
(a)

(b)

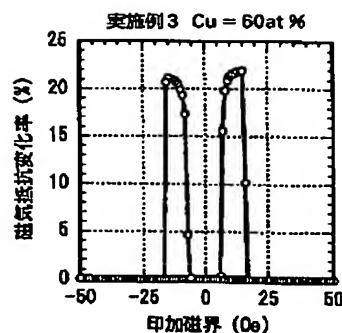
【図8】



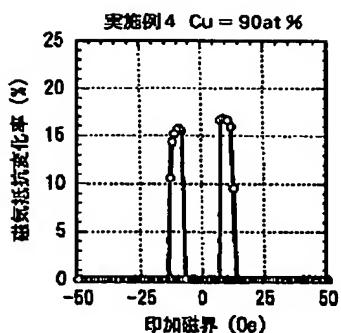
【図9】



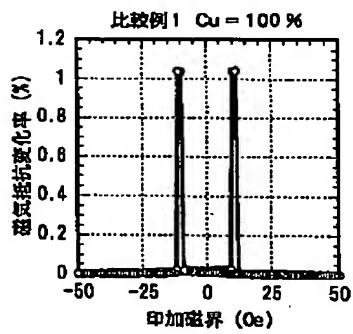
【図10】



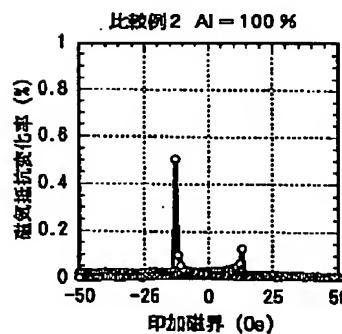
【図11】



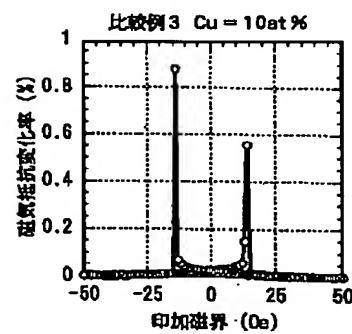
【図12】



【図13】



【図14】



【図16】

